

Patent



IPW

Customer No. 31561
Application No.: 10/711,930
Docket No. 13415-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wu et al.
Application No. : 10/711,930
Filed : Oct 13, 2004
For : MEMORY DEVICE
Examiner : N/A
Art Unit : 2812

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93125312,
filed on: 2004/8/23.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated:

Dec. 23, 2004

By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

Please send future correspondence to:

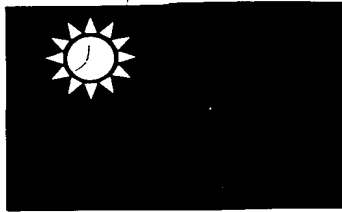
7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 08 月 23 日
Application Date

申請案號：093125312
Application No.

**CERTIFIED COPY OF
PRIORITY DOCUMENT**

申請人：華邦電子股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 11 月
Issue Date

發文字號：09321000410
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

一、發明名稱：(中文/英文)

記憶體元件

MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

華邦電子股份有限公司/WINBOND ELECTRONICS CORP.

代表人：(中文/英文) 焦佑鈞/ARTHUR Y. C. CHIAO

住居所或營業所地址：(中文/英文)

新竹科學工業園區研新三路四號/NO. 4, CREATION ROAD III,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 吳庭維 /WU, TIN WEI

2. 陳柏安 /CHEN, PO AN

國 籍：(中文/英文) 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

一種記憶體元件，此記憶體元件係由基底、記憶胞堆疊結構、第一元件隔離結構、元件堆疊結構與第二元件隔離結構所構成，且基底具有記憶胞區與周邊電路區，且在周邊電路區中具有溝渠。其中，元件堆疊結構係配置在相鄰二溝渠之間的基底上，且此元件堆疊結構係由閘介電層與閘極層所構成，其中閘介電層係覆蓋部分的基底。此外，第二元件隔離結構係配置在各個元件堆疊結構之間，且第二元件隔離結構係由襯層與絕緣層所構成。其中，襯層係配置在閘介電層側壁、溝渠表面，以及未被閘介電層覆蓋之基底表面上，且其在位於未被閘介電層覆蓋處係呈現圓弧形。另外，絕緣層係覆蓋襯層，且至少填滿溝渠。

六、英文發明摘要：

A memory device is provided. The memory consists of a substrate, stacked structures for memory cell, first isolation structures, stacked structures for device, and second isolation structures. The substrate has a memory cell region and a peripheral region having trenches. Each stacked structure for device is located on the substrate between two adjacent trenches, and consists a gate dielectric layer and a gate, and the gate dielectric layer covers the substrate partially. Each second isolation structure is located between two stacked

structures for device, and consists of a liner and a isolation layer. Also, the liner is located on the sidewalls of the gate dielectric layer, the surface of the trench, and the surface of the substrate without covering by dielectric layer, and the liner on the surface of the substrate without covering by dielectric layer is rounding. The isolation layer covers the liner, and fills the trenches at least.

七、指定代表圖：

(一)本案指定代表圖為：圖(3F)。

(二)本代表圖之元件符號簡單說明：

300：基底

301：記憶胞堆疊結構

302：記憶胞區

303：元件堆疊結構

304：周邊電路區

306：穿隧層

308、332：浮置閘極層

314、318：溝渠

320：襯層

324：絕緣層

326、328：元件隔離結構

330：閘間介電層

334：閘介電層

336：控制閘極層

338：閘極層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體元件，且特別是有關於一種記憶體元件。

【先前技術】

可電除可程式化之唯讀記憶體由於具有可寫入、可抹除以及斷電後仍可保存資料的優點，因此是個人電腦和電子設備所廣泛採用的一種記憶體元件。此外，由於此可電除可程式化之唯讀記憶體亦為一種非揮發性記憶體(Non-Volatile Memory)，因此具有非揮發性記憶體體積小、存取速度快及耗電量低的優點，而且因為其在進行資料抹除(Erasing)時，係採用「一塊一塊」(Block by Block)抹除的方式，所以更具有操作速度快的優點。

一般來說，在一晶圓上，可電除可程式化之唯讀記憶體係由位於記憶胞區之多數個記憶胞以及位於周邊電路區中的多數個邏輯元件所構成，且這些記憶胞或邏輯元件之間係由淺溝渠隔離結構所隔絕。另一方面，由於記憶胞與邏輯元件所需之操作電壓不同，因此在製作上述可電除可程式化之唯讀記憶體時，特別是在製作記憶胞與邏輯元件中的介電層時，需分別進行，其詳細說明如下。

圖 1A 至圖 1C 是繪示習知一種可電除可程式化之唯讀記憶體的製造流程剖面示意圖。

首先，請參照圖 1A，提供基底 100，此基底 100 具有記憶胞區 102 與周邊電路區 104，且在此基底 100 上已形成有圖案化之穿隧層 106、浮置閘極層 108 及罩幕層

110。之後，以罩幕層 110 作為自行對準罩幕，蝕刻基底 100，以於記憶胞區 102 之基底 100 中形成溝渠 112，並且於周邊電路區 104 之基底 100 中形成溝渠 114。

接著，請參照圖 1B，在於溝渠 112 與 114 表面及穿隧層 106 與浮置閘極層 108 的側壁形成襯層 116 之後，於溝渠 112 與 114 填入絕緣層 118。然後，移除罩幕層 110 及部分的絕緣層 118，以於記憶胞區 102 形成元件隔離結構 120，並且於周邊電路區 104 形成元件隔離結構 122。

繼之，請參照圖 1C，於記憶胞區 102 之浮置閘極層 108 的表面形成閘間介電層 124。之後，移除周邊電路區 104 之穿隧層 106 與浮置閘極層 108。其中移除的方法例如是進行等向性濕式蝕刻製程。接著，在於周邊電路區 104 之基底 100 上形成閘間介電層 128 後，於記憶胞區 102 之閘間介電層 124 上形成控制閘極層 130，並且於周邊電路區 104 之閘間介電層 128 上形成閘極層 132。

在上述製程中，雖然可以藉由使用自行對準罩幕，以定義出元件隔離區，即後續元件隔離結構預定形成的區域，從而使得記憶胞區 102 之元件關鍵尺寸(Critical Dimension, CD)獲得精準的控制。但是，對於周邊電路區 104 而言，由於周邊電路區 104 之邏輯元件與記憶胞區 102 之記憶胞所需的操作電壓不同，因此原本已形成之穿隧層 106 無法作為其閘間介電層 128，從而需另外形成閘間介電層 128。然而，在形成此閘間介電層 128 時，由於會先利用等向性濕式蝕刻將原本的浮置閘極層 108 與穿隧層 106 移除，因此相鄰之元件隔離結構 122，會受到蝕刻液之侵

蝕而遭到損傷，從而形成小丘狀(Hump)(如標號 126 所示)的元件隔離結構 122。如此將會影響周邊電路區 104 之元件隔離結構 122 的隔絕能力，進而導致元件漏電流的問題，甚至在後續形成閘極層 132 的過程中，閘極材料亦有可能被填入於元件隔離結構 122 的凹陷處。

【發明內容】

有鑑於此，本發明的目的就是在提供一種記憶體元件，以解決周邊電路區之淺溝渠隔離結構會遭到損傷的問題。

本發明提出一種記憶體元件，此記憶體元件係由基底、至少一記憶胞堆疊結構、多數個第一元件隔離結構、至少一元件堆疊結構與多數個第二元件隔離結構所構成。其中基底具有記憶胞區與周邊電路區，且在記憶胞區中具有多數個第一溝渠，並且在周邊電路區中具有多數個第二溝渠。此外，記憶胞堆疊結構係配置在記憶胞區之相鄰二該些第一溝渠之間的基底上，記憶胞堆疊結構係至少由穿隧層、浮置閘極層、閘間介電層與控制閘極層所構成。另外，第一元件隔離結構係配置在記憶胞區之各個記憶胞堆疊結構之間，且各個第一元件隔離結構係由第一襯層與第一絕緣層所構成。其中，第一襯層係配置在穿隧層與浮置閘極層的側壁以及第一溝渠表面上。此外，第一絕緣層係覆蓋第一襯層，且至少填滿第一溝渠。另外，元件堆疊結構係配置在周邊電路區之相鄰二該些第二溝渠之間的基底上，且此元件堆疊結構係至少由閘間介電層與閘極層所構成，其中閘間介電層係覆蓋部分的基底。此外，第二元件隔

離結構係配置在周邊電路區之各個元件堆疊結構之間，且各個第二元件隔離結構係由第二襯層與第二絕緣層所構成。其中，第二襯層係配置在閘介電層側壁、第二溝渠表面，以及未被閘介電層覆蓋之基底表面上，且其在位於未被閘介電層覆蓋處係呈現圓弧形。另外，第二絕緣層係覆蓋第二襯層，且至少填滿第二溝渠。

由於在進行記憶胞區之記憶胞堆疊結構製程的過程中，周邊電路區之未被浮置閘極層覆蓋之穿隧層表面會形成厚度較厚的襯層，因此在後續進行周邊電路區之元件堆疊結構製程而將浮置閘極層與穿隧層移除時，可以避免蝕刻損傷第二元件隔離結構，進而使得第二元件隔離結構保有較佳之隔絕能力。換言之，周邊電路區的襯層在經過移除浮置閘極層與穿隧層等步驟後，其在位於未被閘介電層覆蓋處會呈現圓弧形。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

圖 2A 至圖 2D 是繪示依照本發明一較佳實施例的一種淺溝渠隔離結構之製造流程剖面示意圖。

首先，請參照圖 2A，提供基底 200，此基底 200 具有第一元件區 202 與第二元件區 204，且在基底 200 上已形成有保護層 206 與圖案化之罩幕層 208。其中，保護層 206 的材質例如是介電材料，其例如是矽化物，如氧化矽，而氧化矽保護層 206 形成方法例如是熱氧化法。此外，在

一較佳實施例中，罩幕層 208 的材質例如是導電材料，其例如是多晶矽、摻雜多晶矽或是其他合適之導電材料。特別是，在第一元件區 202 所形成之導電材質的罩幕層 208 在後續的製程中可以被保留下來，而作為閘極之用。在另一較佳實施例中，若罩幕層 208 的材質為導電材料，則在其上可覆蓋另一罩幕層(未繪示)，其中此另一罩幕層的材質例如是氮化矽。

之後，請參照圖 2B，以第一元件區 202 之圖案化之罩幕層 208 作為自行對準罩幕，蝕刻保護層 206 與基底 200，以於第一元件區 202 之基底 200 中形成溝渠 210。其中，蝕刻的方法例如是進行非等向性蝕刻製程。

接著，於第二元件區 204 之罩幕層 208 側壁形成間隙壁 212。在一較佳實施例中，更包括同時於第一元件區 202 之罩幕層 208 與溝渠 210 的側壁形成間隙壁 212。其中，間隙壁 212 之形成方法例如是先於基底上 200 形成一層共形的絕緣材料層後，進行非等向性蝕刻製程以形成之。

然後，請參照圖 2C，以第二元件區 204 之罩幕層 208 及間隙壁 212 作為自行對準罩幕，蝕刻保護層 206 與基底 200，以於第二元件區 204 之基底 200 中形成溝渠 214。在一較佳實施例中，若後續在第二元件區 204 中欲形成耐高壓元件，則於此步驟中所形成之溝渠 214 的深度係大於第一元件區 202 之溝渠 210 深度，從而使得後續於第二元件區所形成之元件隔離結構具有較佳之隔絕能力。繼之，移除間隙壁 212。

之後，請參照圖 2D，於裸露之罩幕層 208 側壁、溝

渠 210 與 214 的表面以及第二元件區 204 中所裸露之保護層 206 表面上形成襯層 216。其中，襯層 216 的材質例如是氧化矽，而其形成方法例如是進行熱氧化製程。特別是，若保護層 206 亦為矽化物(如氧化矽)時，則於第二元件區 204 之中所裸露之保護層 206 亦會被氧化，而使該處所形成之襯層 216 圓化(如標號 218 所示)。在一較佳實施例中，位於裸露之保護層 206 表面處的襯層 216 由於已圓化(Rounding)，因此其厚度係大於其他部分的厚度。

接著，於溝渠 210 與 214 中填入絕緣層 220，以分別形成元件隔離結構 222 與 224。

特別是，利用上述之方法，對於第一元件區 202 來說，可以藉由使用自行對準罩幕，以定義出元件隔離區，即後續元件隔離結構 222 預定形成的區域，從而使得第一元件區 202 之元件的關鍵尺寸獲得精準的控制。而且，對於第二元件區 204 來說，在後續進行元件製程而將罩幕層 208 與保護層 206 移除時，由於裸露之保護層 206 表面處的襯層 216 厚度較厚，因此可以避免蝕刻損傷元件隔離結構 224。

以下係以記憶體元件的製造方法說明上述之淺溝渠隔離結構製程其中一種應用，然非用以限定本發明。

圖 3A 至圖 3F 是繪示依照本發明另一較佳實施例的一種記憶體元件之製造流程剖面示意圖。

首先，請參照圖 3A，提供基底 300，此基底 300 具有記憶胞區 302 與周邊電路區 304，且在此基底 300 上已形成有穿隧層 306 與圖案化之浮置閘極層 308。其中，穿

隧層 306 的材質例如是氧化矽，而其形成方法例如是熱氧化法。在一較佳實施例中，在圖案化之浮置閘極層 308 上更包括覆蓋有罩幕層 310 與 312，其中罩幕層 310 的材質例如是氮化矽，而其形成方法例如是進行化學氣相沈積製程。此外，罩幕層 312 的材質例如是硼矽玻璃(BSG)，而其形成方法例如是進行化學氣相沈積製程。

之後，請參照圖 3B，以記憶胞區 302 之圖案化之浮置閘極層 308 作為自行對準罩幕，蝕刻穿隧層 306 與基底 300，以於記憶胞區 302 之基底 300 中形成溝渠 314。其中，蝕刻的方法例如是進行非等向性蝕刻製程。於此步驟中，周邊電路區 304 會由光阻層(未繪示)所覆蓋，因此可以避免遭受到蝕刻侵蝕。此外，由於記憶胞區 302 之罩幕層 312 的頂部邊角亦會受到侵蝕，因此會移除頂部邊角處的部分罩幕層 312 厚度。

接著，於周邊電路區 304 之浮置閘極層 308 側壁形成間隙壁 316，其材質例如是硼矽玻璃(BSG)。在一較佳實施例中，更包括同時於記憶胞區 302 之罩幕層 312、310、浮置閘極層 308 與溝渠 314 的側壁形成間隙壁 316。其中，間隙壁 316 之形成方法例如是先於基底上 300 形成一層的絕緣材料層後，進行非等向性蝕刻製程以形成之。

然後，請參照圖 3C，以周邊電路區 304 之浮置閘極層 308 及間隙壁 316 作為自行對準罩幕，蝕刻穿隧層 306 與基底 300，以於周邊電路區 304 之基底 300 中形成溝渠 318。於此步驟中，記憶胞區 302 會由光阻層(未繪示)所覆蓋，因此可以避免遭受到蝕刻侵蝕。此外，在一較佳實

施例中，由於後續在周邊電路區 304 中所形成的邏輯元件為耐高壓元件，所以於此步驟中所形成之溝渠 318 的深度係大於記憶胞區 302 之溝渠 314 深度，從而使得後續於周邊電路區 304 所形成之元件隔離結構具有較佳之隔絕能力。繼之，移除間隙壁 316 與罩幕層 312。

之後，請參照圖 3D，於裸露之浮置閘極層 308 側壁、溝渠 314 與 318 的表面以及周邊電路區 304 中所裸露之穿隧層 306 表面上形成襯層 320。襯層 320 的材質例如是氧化矽，而其形成方法例如是進行熱氧化製程。特別是，若穿隧層 306 的材質亦為矽化物(如氧化矽)時，則於周邊電路區 304 之中所裸露之穿隧層 306 亦會被氧化，而使該處所形成之襯層 320 圓化(如標號 322 所示)。在一較佳實施例中，位於裸露之穿隧層 306 表面處的襯層 320 由於已圓化，因此其厚度係大於其他部分的厚度。

接著，在於溝渠 314 與 318 中填入絕緣層 324 之後，移除罩幕層 310 與部分之絕緣層 324，以分別形成元件隔離結構 326 與 328。其中，平坦化的方法例如是進行化學機械研磨製程。

然後，請參照圖 3E，於記憶胞區 302 之浮置閘極層 308 表面形成閘間介電層 330。在一較佳實施例中，在形成閘間介電層 330 之前，更包括於記憶胞區 302 之浮置閘極層 308 上形成另一浮置閘極層 332，以增加浮置閘極與閘間介電層 330 的接觸面積，進而增加閘極耦合比(Gate Coupling Ratio, GCR)。在一較佳實施例中，浮置閘極層 332 更包括覆蓋住部分的元件隔離結構 326。

繼之，移除周邊電路區 304 之浮置閘極層 308 與穿隧層 306。其中，移除浮置閘極層 308 與穿隧層 306 的方法例如是進行等向性蝕刻製程，其次例如是濕式蝕刻製程。此時，雖然部分之絕緣層 324 亦會遭受到蝕刻侵蝕，但是由於裸露之穿隧層 306 表面處的襯層 320 厚度較厚，因此可以有效避免元件隔離結構 328 侵蝕，進而形成小丘狀，從而使元件隔離結構 328 保有較佳之隔絕能力。此外，於此步驟中，記憶胞區 302 會由光阻層(未繪示)所覆蓋，因此可以避免遭受到蝕刻侵蝕。

之後，請參照圖 3F，於周邊電路區 304 之基底 300 表面形成閘介電層 334。其中，閘介電層 334 的材質例如是氧化矽，而其形成方法例如是熱氧化法。

接著，於記憶胞區 302 之閘間介電層 330 上形成控制閘極層 336，並且於周邊電路區 304 中之閘介電層 334 上形成閘極層 338。其中，控制閘極層 336 與閘極層 338 的材質例如是多晶矽、摻雜多晶矽或是其他合適之導電材料，而其形成方法例如是先於基底 300 上形成一層導電材料層，之後再以微影製程以及蝕刻製程，定義該導電材料層，而形成之。此外，在一較佳實施例中，部分的閘極層 338 係形成於元件隔離結構 328 上。

以下係說明利用上述記憶體的製造方法所得之結構。請繼續參照圖 3F，上述之記憶體元件係由基底 300、至少一記憶胞堆疊結構 301、多數個元件隔離結構 326、至少一元件堆疊結構 303 與多數個元件隔離結構 328 所構成。

其中，基底 300 具有記憶胞區 302 與周邊電路區 304，且在記憶胞區 302 中具有多數個溝渠 314，並且在周邊電路區 304 中具有多數個溝渠 318。在一較佳實施例中，溝渠 318 的深度例如是大於溝渠 314 的深度，以增加元件隔離結構 328 的隔絕能力。

此外，記憶胞堆疊結構 301 係配置在記憶胞區 302 之相鄰二該些溝渠 314 之間的基底 300 上，且此記憶胞堆疊結構 301 係至少由穿隧層 306、浮置閘極層 308、閘間介電層 330 與控制閘極層 336 所構成。在一較佳實施例中，更包括浮置閘極層 332 配置在浮置閘極層 308 與閘間介電層 330 之間，以藉由增加浮置閘極與閘間介電層 330 的接觸面積，來增加閘極的耦合比。在另一較佳實施例中，浮置閘極層 332 係覆蓋住部分的元件隔離結構 326。

另外，元件隔離結構 326 係配置在記憶胞區 302 之各個記憶胞堆疊結構 301 之間，且各個元件隔離結構 326 係由襯層 320 與絕緣層 324 所構成。其中，襯層 320 係配置在穿隧層 306 與浮置閘極層 308 的側壁以及溝渠 314 的表面上。此外，絕緣層 324 係覆蓋襯層 320，且至少填滿溝渠 314。

另外，元件堆疊結構 303 係配置在周邊電路區 304 之相鄰二該些溝渠 318 之間的基底 300 上，且此元件堆疊結構 303 係至少由閘間介電層 334 與閘極層 338 所構成，其中閘間介電層 334 係僅覆蓋住部分的基底 300。在一較佳實施中，閘極層 338 係覆蓋住部分的元件隔離結構 328。

此外，元件隔離結構 328 係配置在周邊電路區 304 之

各個元件堆疊結構 303 之間，且各個元件隔離結構 328 係由襯層 320 與絕緣層 324 所構成。其中，襯層 320 係配置在閘介電層 334 側壁、溝渠 318 表面，以及未被閘介電層 334 覆蓋之基底 300 表面上。另外，絕緣層 324 係覆蓋襯層 320，且至少填滿溝渠 318。特別是，位於未被閘介電層 334 覆蓋之基底 300 表面處的襯層 320 係呈現圓弧形，且其厚度係大於其他部分之襯層 320 厚度。

由於在進行記憶胞區之記憶胞堆疊結構製程的過程中，周邊電路區之未被浮置閘極層覆蓋之穿隧層表面會形成厚度較厚的襯層，因此在後續進行周邊電路區之元件堆疊結構製程而將浮置閘極層與穿隧層移除時，可以避免蝕刻損傷元件隔離結構，進而使得元件隔離結構保有較佳之隔絕能力。換言之，周邊電路區的襯層在經過移除浮置閘極層與穿隧層等步驟後，其在位於未被閘介電層覆蓋處會呈現圓弧形。

綜上所述，本發明至少具有下面的優點：

1.由於本發明對於記憶胞區或第一元件區來說，可以藉由使用自行對準罩幕，定義出元件隔離區，即後續元件隔離結構預定形成的區域，從而使得記憶胞區或第一元件區之元件的關鍵尺寸獲得精準的控制。

2.由於本發明對於周邊電路區或第二元件區來說，在後續進行元件製程而將浮置閘極層與穿隧層移除時，或是將罩幕層與保護層移除時，由於未被浮置閘極層或罩幕層覆蓋之穿隧層或保護層表面形成有厚度較厚的襯層，因此可以避免蝕刻損傷元件隔離結構，進而使得元件隔離結構

保有較佳之隔絕能力。

3.由於本發明對於記憶胞區來說，不會有元件隔離結構損傷的問題，即不需如周邊電路區一般，形成間隙壁而作為蝕刻罩幕的一部份。因此，不會犧牲記憶胞區之元件積集度。而且，利用本發明還能一併解決周邊電路區之元件隔離結構遭受損傷的問題。換言之，利用本發明可以針對不同元件區域之需求，進行合適之製程。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1A 至 1C 是習知的一種可電除可程式化之唯讀記憶體之製造流程剖面示意圖。

圖 2A 至 2D 是依照本發明之一較佳實施例的一種淺溝渠隔離結構之製造流程剖面示意圖。

圖 3A 至 3F 是依照本發明之另一較佳實施例的一種記憶體元件之製造流程剖面示意圖。

【主要元件符號說明】

- 100、200、300：基底
- 102、202、302：記憶胞區
- 104、204、304：周邊電路區
- 106、306：穿隧層
- 108、308、332：浮置閘極層
- 110、208、310、312：罩幕層

- 112、114、210、214、314、318：溝渠
- 116、216、320：襯層
- 118、220、324：絕緣層
- 120、122、222、224、326、328：元件隔離結構
- 124、330：閘間介電層
- 126：小丘狀的標號
- 128、334：閘介電層
- 130、336：控制閘極層
- 132、338：閘極層
- 206：保護層
- 212、316：間隙壁
- 218、322：圓化的標號
- 301：記憶胞堆疊結構
- 303：元件堆疊結構

十、申請專利範圍：

1.一種記憶體元件，包括：

一基底，該基底具有一記憶胞區與一周邊電路區，且在該記憶胞區中具有多數個第一溝渠，並且在該周邊電路區中具有多數個第二溝渠；

至少一記憶胞堆疊結構，配置在該記憶胞區之相鄰二該些第一溝渠之間的該基底上，該記憶胞堆疊結構係至少由一穿隧層、一浮置閘極層、一閘間介電層與一控制閘極層所構成；

多數個第一元件隔離結構，配置在該記憶胞區之各該記憶胞堆疊結構之間，且各該第一元件隔離結構包括：

一第一襯層，配置在該穿隧層與該浮置閘極層的側壁以及各該第一溝渠表面上；以及

一第一絕緣層，覆蓋該第一襯層，且至少填滿各該第一溝渠；

至少一元件堆疊結構，配置在該周邊電路區之相鄰二該些第二溝渠之間的該基底上，該元件堆疊結構係至少由一閘間介電層與一閘極層所構成，其中該閘間介電層係覆蓋部分該基底；以及

多數個第二元件隔離結構，配置在該周邊電路區之各該元件堆疊結構之間，且各該第二元件隔離結構包括：

一第二襯層，配置在該閘間介電層側壁、各該第二溝渠表面，以及未被該閘間介電層覆蓋之該基底表面上，且該第二襯層在位於未被該閘間介電層覆蓋處係呈現圓弧形；以及

一第二絕緣層，覆蓋該第二襯層，且至少填滿各該第二溝渠。

2.如申請專利範圍第 1 項所述之記憶體元件，其中位於未被該閘介電層覆蓋處的該第二襯層厚度大於其他部分之該第二襯層厚度。

3.如申請專利範圍第 1 項所述之記憶體元件，其中該第二溝渠的深度大於該第一溝渠。

4.如申請專利範圍第 1 項所述之記憶體元件，更包括另一浮置閘極層，配置在該浮置閘極層及該閘間介電層之間。

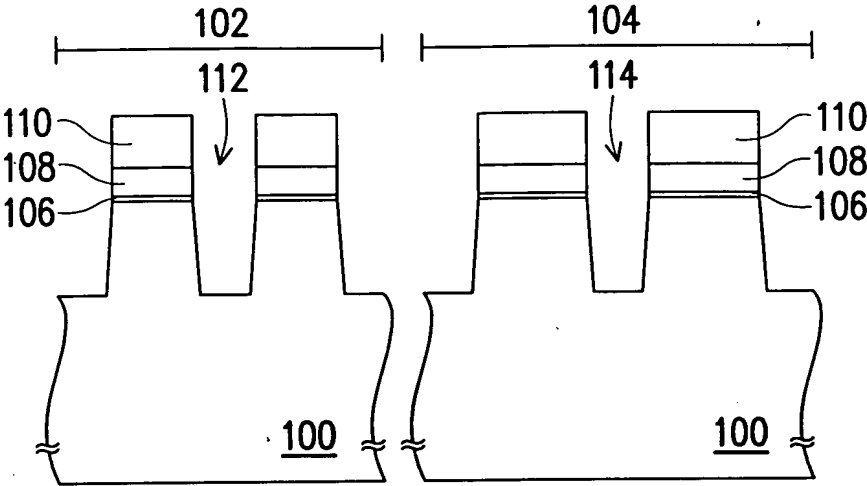


圖 1A

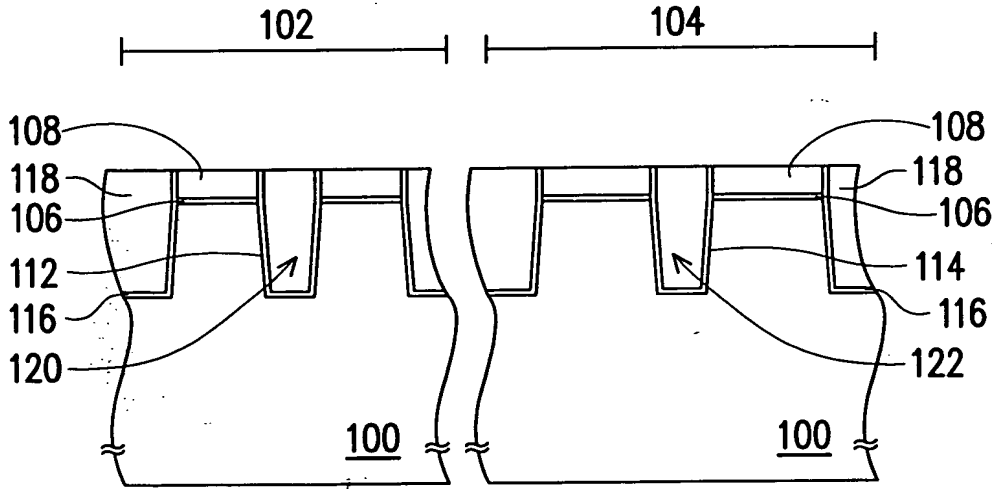


圖 1B

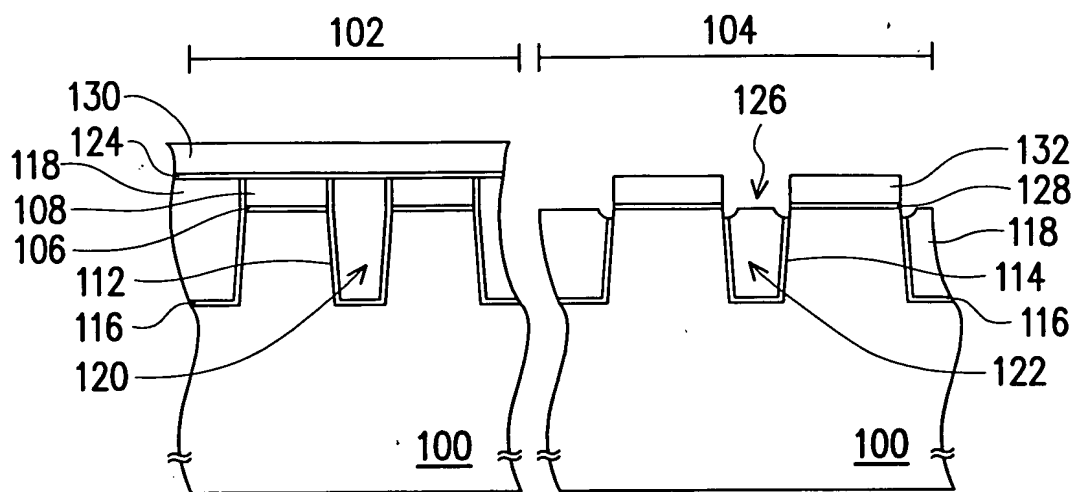


圖 1C

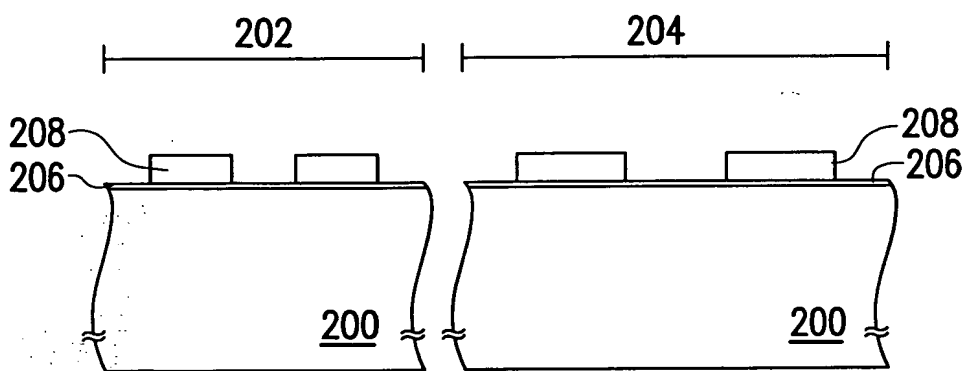


圖 2A

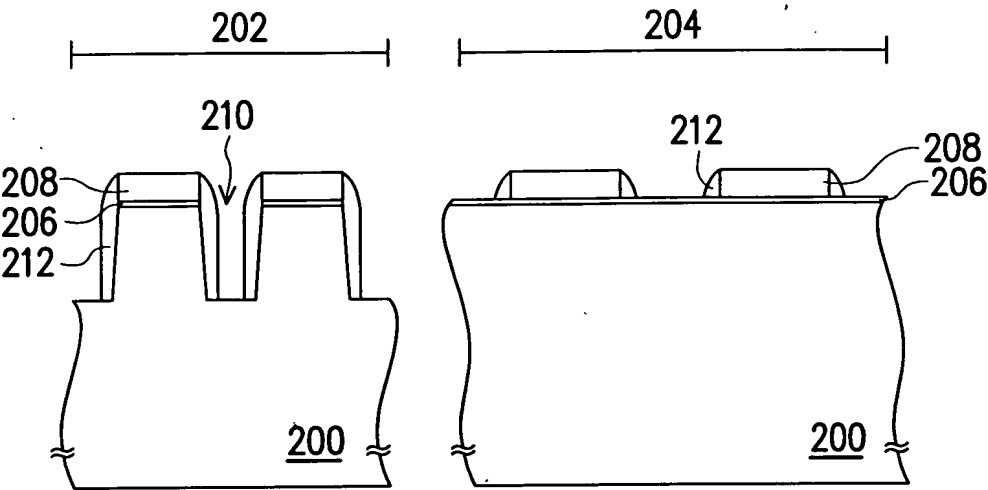


圖 2B

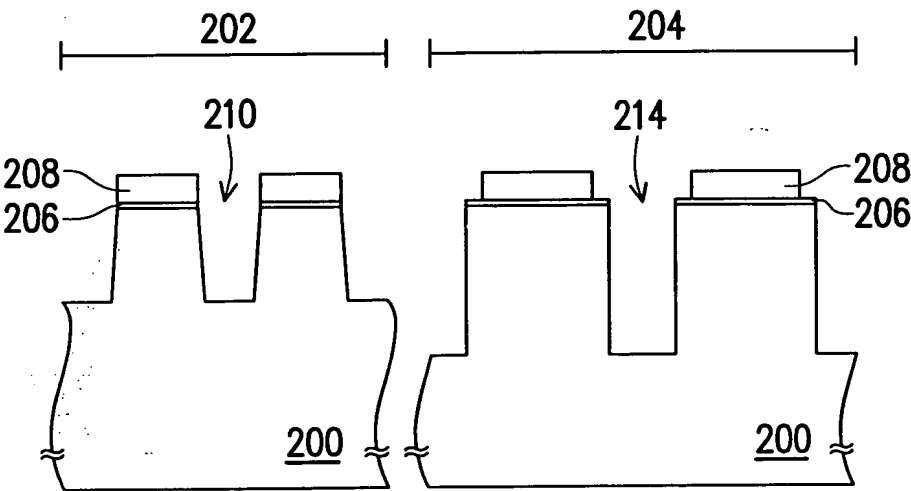


圖 2C

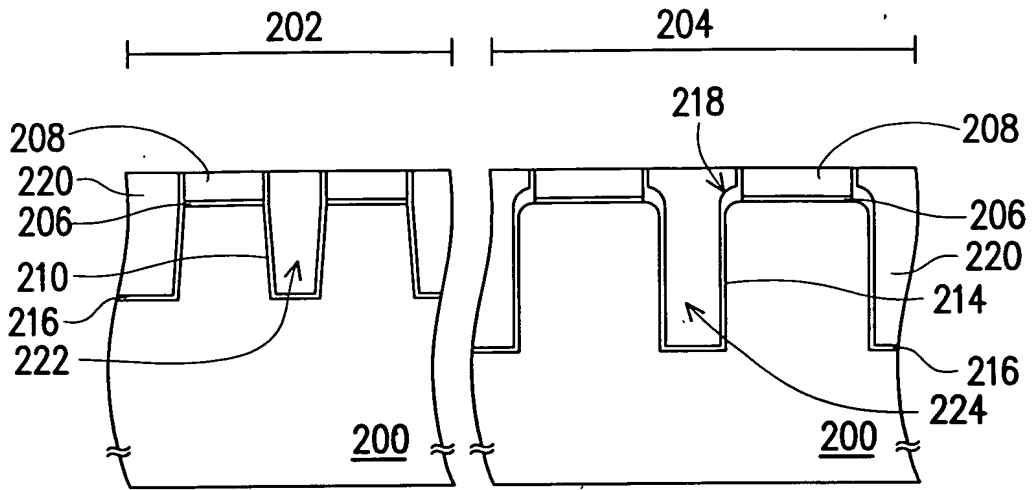


圖 2D

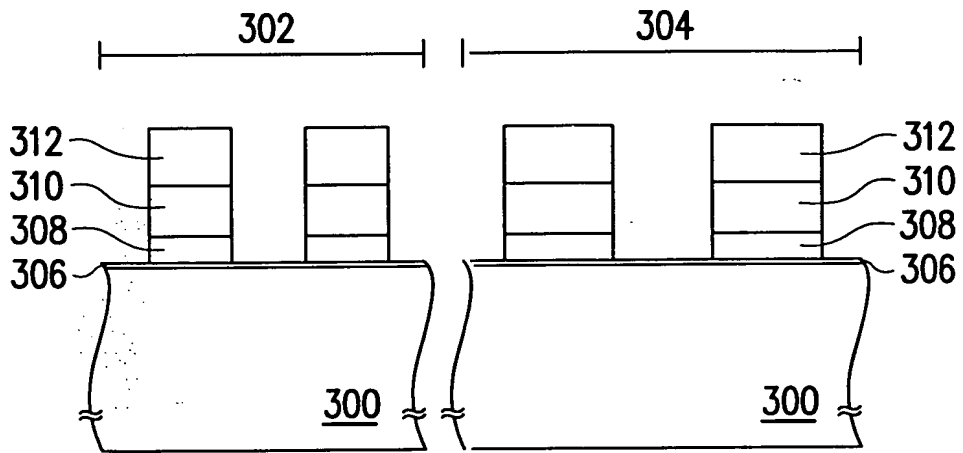


圖 3A

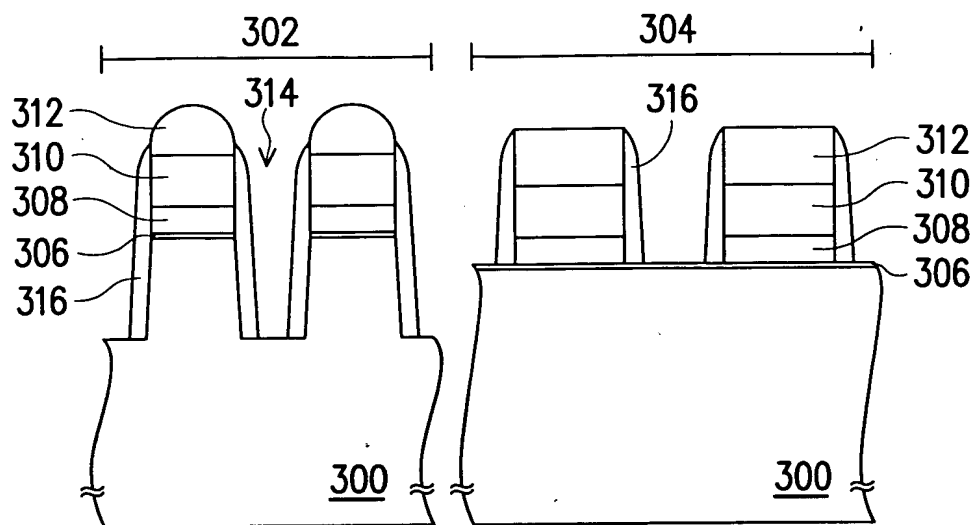


圖 3B

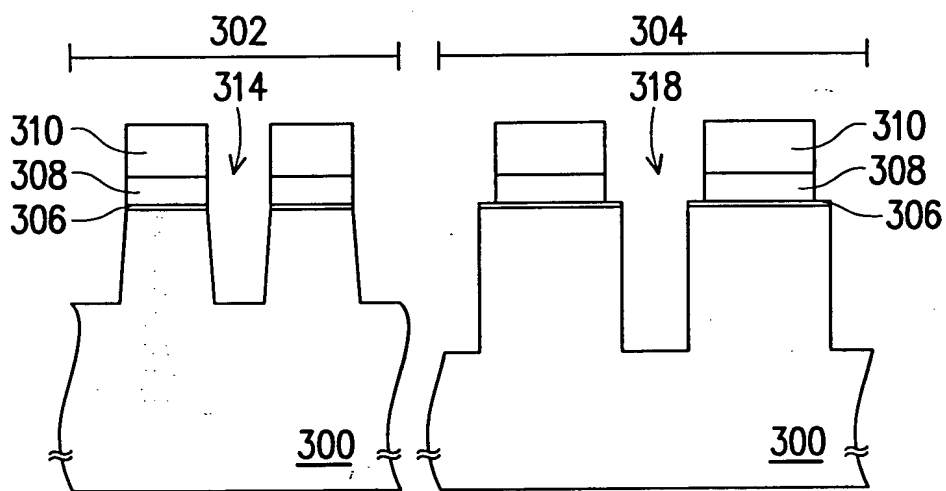


圖 3C

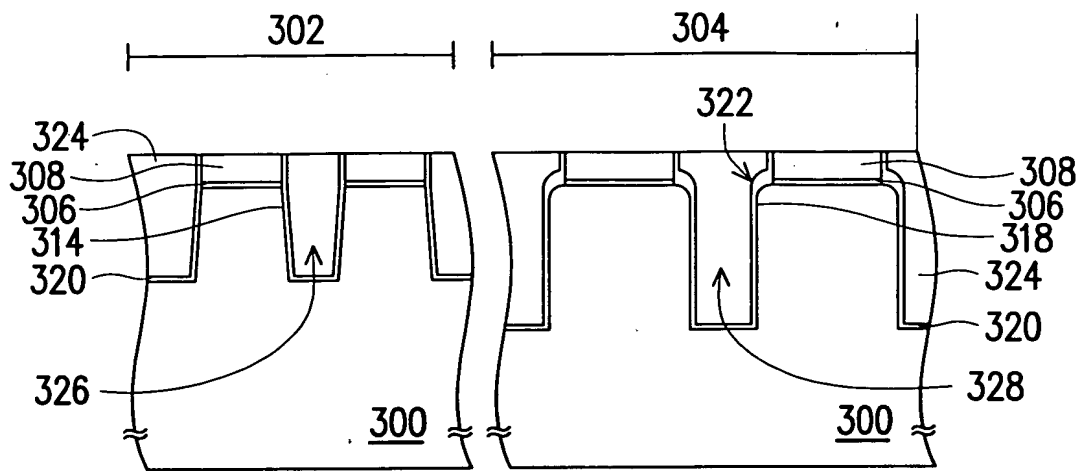


圖 3D

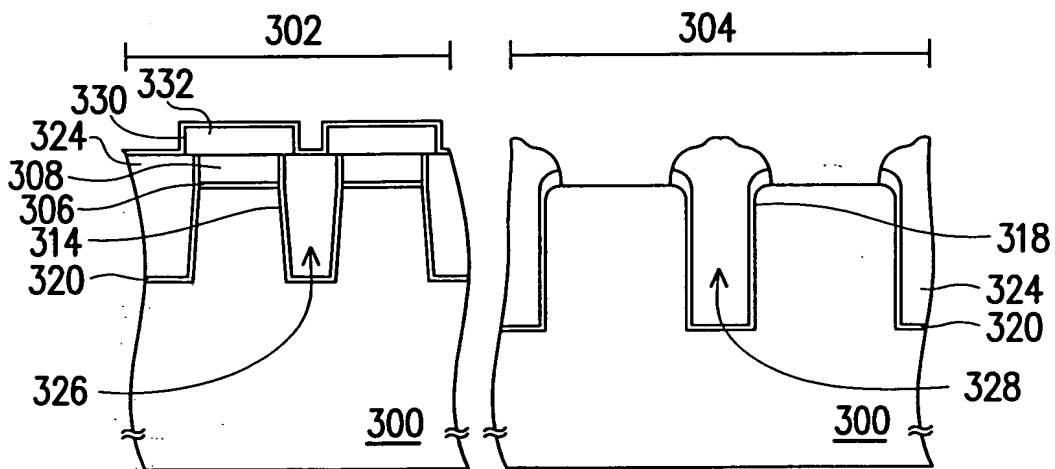


圖 3E

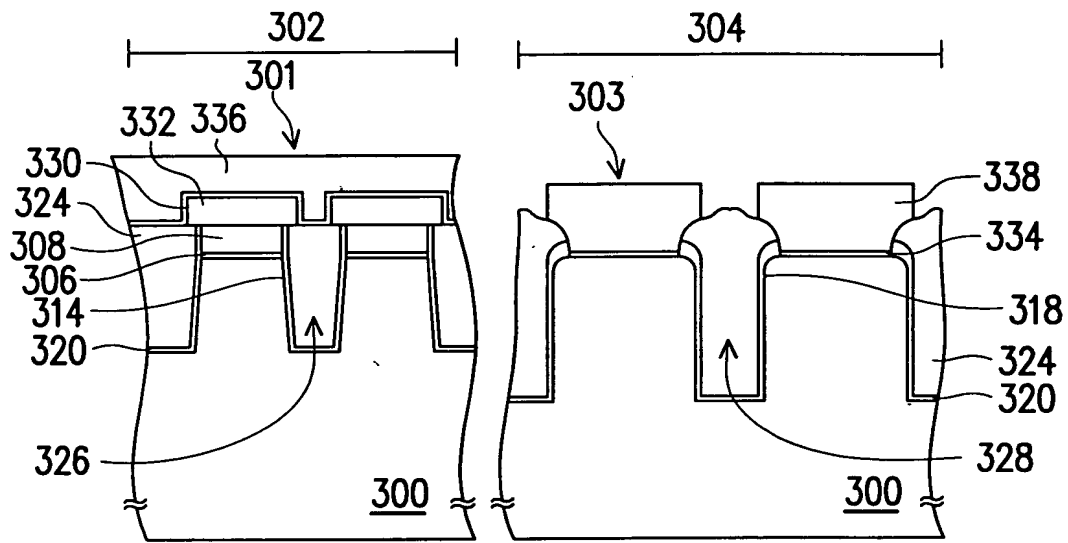


圖 3F